

PATENT ABSTRACTS OF JAPAN

A02

(11)Publication number : 2000-269636
(43)Date of publication of application : 29.09.2000

(51)Int.Cl. H05K 3/34

(21)Application number : 2000-064932 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(22)Date of filing : 05.07.1995 (72)Inventor : SAKAGUCHI HIROYUKI
AWATA YOSHIKI

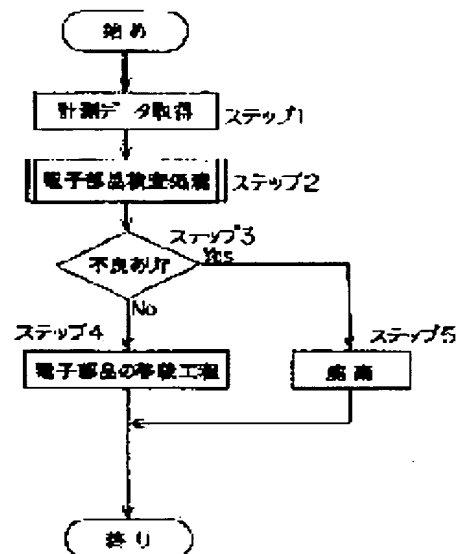
(30)Priority
Priority number : 06164028 Priority date : 15.07.1994 Priority country : JP

(54) METHOD OF SOLDERING ELECTRONIC COMPONENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method of soldering electronic components, whereby leads of the electronic component can be correctly soldered to electrodes of a board.

SOLUTION: This method comprises a step 1 of measuring the positions of leads in the arranging direction and height direction thereof to take in the position data of the leads, step of obtaining a proximity straight line approximating the configuration of the lead rows for every row of leads based on the position data, step 3 of deciding if the relative position relation between the proximity lines is in a prescribed range, step 4 of securing the leads of an electronic component decided to be within the specified range on electrodes of a board previously fed with solder and a step of heating the board to melt solder to solder the leads to the electrodes.



LEGAL STATUS

[Date of request for examination] 09.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3528747

[Date of registration] 05.03.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269636

(P2000-269636A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.⁷

H 0 5 K 3/34

識別記号

5 1 2

5 0 7

F I

H 0 5 K 3/34

テ-マコ-ト*(参考)

5 1 2 A

5 0 7 A

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-64932(P2000-64932)

(62) 分割の表示 特願平7-169461の分割

(22) 出願日 平成7年7月5日 (1995.7.5)

(31) 優先権主張番号 特願平6-164028

(32) 優先日 平成6年7月15日 (1994.7.15)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 坂口 博幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 栗田 義明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

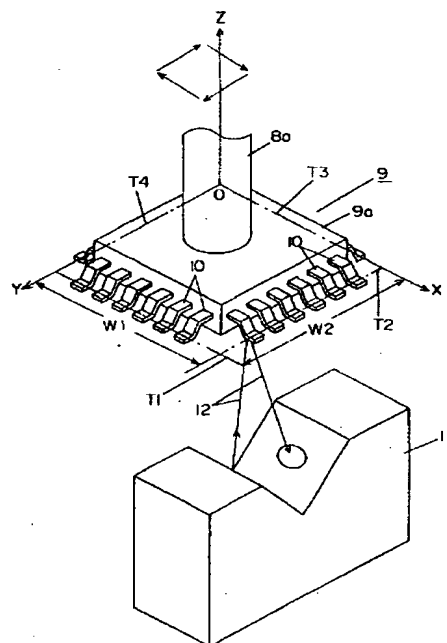
弁理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 電子部品の半田付け方法

(57) 【要約】

【課題】 電子部品のリードを基板の電極に正しく半田付けできる電子部品の半田付け方法を提供すること。

【解決手段】 リードの並び方向及び高さ方向に関する位置を計測してこのリードの位置データを取り込むステップと、前記位置データに基づいて、前記リード列におけるリードの並びを近似する近似直線を各リード列毎に求めるステップと、前記近似直線間の相対的な位置関係が所定の範囲であるかどうか判定するステップと、前記ステップで所定の範囲であると判定された電子部品のリードを、予め半田が供給された基板の電極に着地させるステップと、前記基板を加熱して半田を溶融させて前記リードを前記電極に半田付けするステップとを含む。



【特許請求の範囲】

【請求項1】本体部より外方へ延出した複数のリードが
一列に並んだリード列を複数備えた電子部品を基板の電
極に半田付けする方法であって、

リードの並び方向及び高さ方向に関する位置を計測して
このリードの位置データを取り込むステップと、
前記位置データに基づいて、前記リード列におけるリー
ドの並びを近似する近似直線を各リード列毎に求めるス
テップと、

前記近似直線間の相対的な位置関係が所定の範囲である
かどうか判定するステップと、

前記ステップで所定の範囲であると判定された電子部品
のリードを、予め半田が供給された基板の電極に着地さ
せるステップと、

前記基板を加熱して半田を溶融させて前記リードを前記
電極に半田付けするステップを含むことを特徴とする電
子部品の半田付け方法。

【請求項2】近似直線どうしの相対的な位置関係が所定
の範囲であるか判断するステップが、隣接する近似直線
の端点間の上下方向の高低差を求め、この高低差が所定
の範囲であるか判定を含むことを特徴とする請求項1記
載の電子部品の半田付け方法。

【請求項3】近似直線どうしの相対的な位置関係が所定
の範囲であるか判断するステップが、対向する近似直線
の端点間の上下方向の高低差を求め、この高低差が所定
の範囲であるか判断することを含むことを特徴とする請
求項1記載の電子部品の半田付け方法。

【請求項4】本体部より外方へ延出した複数のリードが
一列に並んだリード列を複数備えた電子部品を基板の電
極に半田付けする方法であって、

リードの並び方向及び高さ方向に関する位置を計測して
このリードの位置データを取り込むステップと、
前記位置データに基づいて前記リード列におけるリード
の並びを近似する近似直線を各リード毎に求めるステッ
プと、

前記位置データに基づいて、前記リード列内で過大に上
下方向に変形したリードを検出するステップと、

前記近似直線間の相対的な位置関係が所定の範囲である
かどうか判定するステップと、

過大に上下方向に変形したリードが検出されず、且つ前
記近似直線間の相対的な位置関係が所定の範囲内である
と判定した場合は、この電子部品のリードを予め半田が
供給された基板の電極に着地させるステップと、

前記基板を加熱して半田を溶融させて前記リードを前記
電極に半田付けするステップを含むことを特徴とする電
子部品の半田付け方法。

【請求項5】近似直線どうしの相対的な位置関係が所定
の範囲であるか判断するステップが、隣接する近似直線
の端点間の上下方向の高低差を求め、この高低差が所定
の範囲であるか判断を含むことを特徴とする請求項4記

載の電子部品の半田付け方法。

【請求項6】近似直線間の相対的な位置関係が所定の範
囲であるか判断するステップが、対向する近似直線の端
点間の上下方向の高低差を求め、この高低差が所定の範
囲であるか判断することを含むことを特徴とする請求項
4記載の電子部品の半田付け方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、リードを有する電
子部品の半田付け方法に関するものである。

【0002】

【従来の技術】QFP、SOPなどの電子部品の各辺か
ら複数のリードが延出し、電子部品を基板に半田付けし
て実装するに先立ち、これらのリードの形状の検査が行
われる。

【0003】QFPやSOPなどの電子部品は通常、予
め上面に半田（もしくはソルダーペースト）が供給され
た基板の電極にリードを着地させ、基板を加熱すること
により、このリードと電極を半田付けする。この場合一
列に並んだリードのうち1本でも上下方向へ過大に変形
していると、オープン不良が発生する。このため電子部
品を基板に搭載するに先立ち、このリードの上下方向の
変形（以下浮きと呼ぶ）の検査を行なってオープン不良
をまねくような電子部品を排除し、良品のみを基板に搭
載して半田付けする。

【0004】ここで従来のリード検査方法では、電子部
品のリードを代表する3本のリードの高さを求め、この
3点が存在する仮想平面を求め、この仮想平面に対する
各リードの浮きを算出し、この浮きと所定の許容値とを
比較し、許容値を越える浮きが存在したならば不良、存
在しなければ良としていた。

【0005】

【発明が解決しようとする課題】しかしながら従来のリ
ード検査方法において、仮想平面を規定する3つのリ
ードのうち、1本でも他のリードから大きくずれたリード
が含まれることがあり、このような場合、各リードの浮
きの基準となる仮想平面自体が理想的な仮想平面からか
なりずれてしまい、検査結果の信頼性が低下してしまう
という問題点があった。

【0006】また近年では、厚さが薄い電子部品が登場
しているが、このような電子部品は、それ自体が変形し
ている場合があり、たとえ1つのリード列の中に過大な
浮きを生じているリードがなくても、このリード列その
ものの位置に異常があるためにオープン不良を生じてし
まう。従来のリード検査方法ではこのようなリード列全
体の位置の不具合を検出できなかった。

【0007】そこで本発明は、信頼性の高い電子部品の
半田付け方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の電子部品の半田

付け方法は、本体部より外方へ延出した複数のリードが一列に並んだリード列を複数備えた電子部品を基板の電極に半田付けする方法であって、リードの並び方向及び高さ方向に関する位置を計測してこのリードの位置データを取り込むステップと、前記位置データに基づいて、前記リード列におけるリードの並びを近似する近似直線を各リード列毎に求めるステップと、前記近似直線間の相対的な位置関係が所定の範囲であるかどうか判定するステップと、前記ステップで所定の範囲であると判定された電子部品のリードを、予め半田が供給された基板の電極に着地させるステップと、前記基板を加熱して半田を溶融させて前記リードを前記電極に半田付けするステップを含むものである。

【0009】上記構成により、各リード列毎のリードの並びを近似直線で表わし、近似直線の相対的な位置関係が所定の範囲であるか判断される。これにより、電子部品の変形に起因するリード列の異常な変位を検出することができる。そして正常な電子部品のみ半田が予め供給された基板の電極にそのリードを着地させ、半田を溶融することによって、基板に確実に半田付けされる。

【0010】

【発明の実施の形態】次に図面を参照しながら、本発明の実施の形態を説明する。図1は本発明の一実施の形態におけるリード検査方法を実施するための検査装置のブロック図である。図1中、1は図3、図4のフローチャートに沿った制御プログラムを記憶しているROM（リードオンリーメモリ）、2は検査装置を制御するCPU（中央処理装置）、3は図6、図7、図8、図10、図11の各データ構成図に示したデータの記憶領域が設けられているRAM（ランダムアクセスメモリ）、4は検査結果を作業者に表示するためのCRT（カソードレイチューブ）、5はCPU2に接続されるインターフェイス、6は各種アクチュエータを備えメカニカルな移載ヘッド移動機構7により移動する移載ヘッド8のXY方向の位置を検出するXY位置検出部、8aは電子部品9を吸着する移載ヘッド8のノズル、10は電子部品9から延出するリードである。なお本実施の形態では、電子部品9としてQFPを取扱うものであるから、複数のリード10は電子部品9の4辺全部から外方へ一列に延出している。

【0011】11はリード10にレーザ光12を照射し、その反射光を受光してリード10の高さZを検出するレーザセンサ、13はレーザセンサ11の出力をディジタル変換してインターフェイス5に出力するA/D変換器である。

【0012】本実施の形態の検査装置は上記のような構成よりなりその動作を説明すると、レーザセンサ11は定位置においてレーザ光12を照射し、移載ヘッド移動機構7は移載ヘッド8（即ちリード10）をレーザセンサ11に対する一定高さのXY平面内において、XY方

向に移動させる。CPU2は、位置検出部6及びレーザセンサ11より送られてくる信号をインターフェイス5を介して読み取ってRAM3にこのデータすなわち複数のリード10のXYZ座標を格納する。

【0013】図2は本発明の一実施の形態における電子部品とレーザセンサの拡大斜視図である。レーザ光12は下方から垂直に照射されてリード10の平坦部（リード10が基板に半田付けされる部分）に当る。そして移載ヘッド8が水平方向へ移動することにより、鎖線で示す直線T1、T2、T3、T4に沿ってレーザ光12を走査してリード10の位置を計測する。

【0014】本実施の形態では、リード10の位置を表わす座標系を次のように定義する。第3辺（直線T3）と第4辺（直線T4）が直交する交点を原点0とし第3辺（直線T3）をX軸、第4辺（直線T4）をY軸とする。またX軸とY軸に直交し、原点0を通る軸をZ軸とする。第1辺（直線T1）はXY平面内にあり、X軸と平行である。第2辺（直線T2）はXY平面内にあり、Y軸と平行である。さらに直線T1とT3は長さがW1であり、直線T2とT4は長さがW2であるものとする。この長さW1、W2は、電子部品9の寸法データより予めわかっている。

【0015】次に図3を参照しながら、本実施の形態の検査装置における処理を説明する。図3は本発明の一実施の形態における検査装置の動作フローチャートである。電子部品9は、予め図外の供給部で供給され、移載ヘッド8のノズル8aで吸引、保持されてレーザセンサ11の上方へ移送されてきている。まずステップ1にて第1辺～第4辺の各辺に存在するリード10の平坦部の下面のXYZ座標を取得し、RAM3に格納する。図6にRAM3に格納されたリードの位置データすなわちXYZ座標のデータの構成を示す。次にCPU2は、このリードの位置データより電子部品の形状判定を行なう電子部品検査処理（ステップ2）を行なう。尚このステップ2の処理については後で詳しく説明する。次に、ステップ2の処理で電子部品9の形状について不良判定がなされたかどうかを調べ（ステップ3）、不良判定であればこの電子部品9を廃棄し（ステップ5）、そうでなければこの電子部品9を所定の位置に搭載する（ステップ4）。

【0016】次に図4～図13を参照しながら電子部品検査処理（ステップ2）について説明する。

【0017】図4は本発明の一実施の形態におけるリード検査方法を示すフローチャート、図5は本発明の一実施の形態における近似直線の説明図である。図5において、 X_{i-1} ～ X_{i+2} は各リード10のX座標、 Z_{i-1} ～ Z_{i+2} は同Z座標である。なお図5に示すリード10は、第1辺又は第3辺のものであり、第1辺ではY座標は全てW2、第2辺では全て0である。

【0018】次に図4に沿って、本発明の一実施の形態

におけるリード検査方法の各過程を説明する。まず、ステップ10において第1辺～第4辺の辺数を示す辺数カウンタjに1を代入する。

【0019】なお辺数カウンタj=1ならば第1辺に位置するリード列が処理の対象となっていることを意味する。以下第1辺のリード列を対象に処理を行う場合に

いてステップ11～ステップ16及びステップ19、ス*

近似直線 L_1 : $a_1 \cdot X + b_1$

$$a_1 = \frac{\sum_{i=1}^N |(X_i - \bar{X}) \cdot (Z_i - \bar{Z})|}{\sum_{i=1}^N |(X_i - \bar{X})^2|}$$

$$b_1 = \bar{Z} - a_1 \cdot \bar{X}$$

$$\text{但し } \bar{X} = \frac{1}{N} \sum_{i=1}^N X_i$$

$$\bar{Z} = \frac{1}{N} \sum_{i=1}^N Z_i$$

N: 第1辺のリード列のリード本数

【0022】上式により求めた傾き a_1 、切片 b_1 を図7に示す形式でRAM3の所定の記憶領域に格納する。次にCPU2は、ステップ12において零による除算などに起因する計算エラーを生じたかどうかを調べる。エラーがなければステップ13へ、エラーがあればステップ19へ移る。

【0023】ステップ13では、ステップ11により求めた近似直線 L_1 に対する各リード10の第1のリード浮き ΔZ_1 及びその最小値 ΔZ_{min} を求める。図5において、 L_1 は近似直線であり、リード10の下面は近似直線 L_1 の上下に分布して存在する。そして、図5における $\Delta Z_{1,1} \sim \Delta Z_{1,2}$ が第1のリード浮き（上向き正、下向き負）であり、CPU2は計算してRAM3の所定の記憶領域に格納する。またこのとき第1のリード浮き ΔZ_1 の最小値 ΔZ_{min} （必ず負の値をとる）を求める。ここで図5において、第1のリード浮き $\Delta Z_{1,1}$ が最小値 ΔZ_{min} であったものとする、近似直線 L を ΔZ_{min} だけ下方にシフトした直線 LS を考え、この直線 LS から各リード10の下面まで第2のリード浮き S_i を求めてRAM3の所定の記憶領域に格納する（ステップ14）。第2のリード浮き S_i は $S_i = \Delta Z_i - \Delta Z_{min}$ から簡単に求めることができる。

【0024】次にステップ15にて、CPU2は近似直線 L_1 の端点R1、R2（図9参照）のZ座標Q1、Q2を算出する。ここで、近似直線 L_1 の定義域は、 $0 \leq X \leq W1$ であるから $Q1 = b_1$ 、 $Q2 = a_1 \cdot W1 + b_1$

* テップ20の説明を行う。

【0020】ステップ11では、第1辺の複数のリード10の配列を近似する近似直線 L_1 の式を、予め計測して得られたリード10のXYZ座標を基に、最小二乗法を使用して算出する。具体的には次式による。

【0021】

【数1】

である。同様に、近似直線 L_2 の場合は $Q3 = a_2 \cdot W2 + b_2$ 、 $Q4 = b_2$ 、近似直線 L_3 の場合は、 $Q5 = a_3 \cdot W1 + b_3$ 、 $Q6 = b_3$ 、近似直線 L_4 の場合は $Q7 = b_4$ 、 $Q8 = a_4 \cdot W2 + b_4$ である。この算出が済んだら、CPU2は端点のXYZ座標とRAM3へ格納する（図10参照）。

【0025】次にステップ16にて、CPU2は第2のリード浮き S_i と予め設定されたしきい値STとを比較し、第2のリード浮き S_i がしきい値ST以下であれば適として図8のリード浮き判定フラグに“0”を格納する。第2のリード浮き S_i がしきい値STを越えていれば不適と判断して、リード浮き判定フラグに“1”を格納する。

【0026】ステップ16で行なう処理の目的は、1つの辺に1列に並んでいる複数リード10のうち、極端に上下方向に変形したものがないかを調べることにある。極端に上下方向に変形したリード10が1つのリード列中で1本でも存在すると、リード10を基板の電極に搭載して半田付けした場合に電極半田付けされずにオープン不良となるリード10が発生する。従ってしきい値STを越えた場合は、不良ということでこのリード10のリード番号と対応するリード浮き判定フラグを不良を示す“1”にする。

【0027】ステップ12で計算エラーが生じると、先に説明したステップ13～ステップ16の処理が不可能となる。しかしながら、ステップ16の処理の目的で

説明したようにリード列の中で極端に変形したリードの存在は少なくとも調べる必要がある。そこでステップ13～ステップ16の方法よりも簡単な処理を行なって、極端に変形したリードの有無をステップ19、20で求める。

【0028】ステップ12にて、計算エラーがあると、CPU2はステップ19にて同一の辺において隣りあるリード10の下面の高さの差 K_i を算出し、RAM2に格納する(図1参照)。リード高さの K_i は、実測されたZ座標を引き算することにより簡単に求めることができる。そしてCPU2は、ステップ20において、リード高さの差 K_i と予め設定されたしきい値 S_T とを比較し、リード高さの差 K_i がしきい値 S_T 以下であれば適としてリード浮き判定フラグに“0”を格納する。また1つでもしきい値 S_T を越えていれば、不適としてリード浮き判定フラグに“1”を格納する。この場合リード高さの差 K_i を、第2のリード浮き S_i の代わりに代用することでリード浮きの判定を行なう。

【0029】以上説明したように、ステップ11～ステップ16、ステップ19、ステップ20の処理が1つのリード列について終わったら、残りのリード列についての処理が完了したかどうかを辺数カウンタjの値で確認し(ステップ17)、未処理のリード列があれば辺数カウンタjの値を1つ加算して次のリード列の処理を行う(ステップ18)。

【0030】次にCPU2は、リード浮きの判定フラグ(ステップ16、20にて格納)をチェックし(ステップ21)、1本でも不適を示すフラグが存在していれば、異常ありとしてステップ27へ、なければステップ23へ移る(ステップ22)。

【0031】さてステップ23～26では、近似直線 $L_1 \sim L_4$ の相対的な位置関係に基いて電子部品9の形状について良否検査が行われる。図9は本発明の一実施の形態における近似直線の位置関係を示す斜視図である。まずステップ23において、近似直線 L_1 と L_2 、 L_2 と L_3 、 L_3 と L_4 、 L_4 と L_1 のように、CPU2は隣接する端点の高低差 G (G_1 、 G_2 、 G_3 、 G_4)を算出する。図10に示した端点 $R_1 \sim R_8$ のZ座標 $Q_1 \sim Q_8$ はステップ15にて既に求めてあるので、ステップ23では、CPU2は $G_1 = |Q_3 - Q_2|$ 、 $G_2 = |Q_5 - Q_4|$ 、 $G_3 = |Q_7 - Q_6|$ 、 $G_4 = |Q_1 - Q_8|$ の引き算により各高低差 $G_1 \sim G_4$ を求める。そしてステップ24にて、CPU2は各高低差 $G_1 \sim G_4$ と予め設定されたしきい値 G_T とを比較し、1つでもしきい値 G_T を越えたものがあればステップ27へ、なければステップ25へ移る。

【0032】次にステップ25では、CPU2は近似直線 L_1 、 L_3 をXZ平面に、近似直線 L_2 、 L_4 をYZ平面に、それぞれ仮想的に投影し、近似直線 L_1 、 L_3 、回線直線 L_2 、 L_4 の対向する近似直線同士の位置関係に基い

て検査を行う。図12、図13は本発明の一実施の形態の電子部品の検査方法における対向する近似直線を示すグラフである。図12ではXZ平面に近似直線 L_1 を投影した直線 L_1' と近似直線 L_2 、図13ではYZ平面に回線直線 L_2 を投影した直線 L_2' と近似直線 L_4 が表わされている。そして図12において端点 R_2' が端点 R_5 と一致するように直線 L_1' を平行にシフトした破線の開き H_1 を近似直線 L_1' と近似直線 L_2 の高低差と定義し、CPU2はこの高低差 H_1 を $H_1 = W_1 \cdot \tan \theta_1 = |a_1 - a_2| \cdot W_1$ により求める。なお θ_1 は近似直線 L_1' と近似直線 L_2 のなす角である。そしてCPU2は、この高低差 H_1 を予め設定されたしきい値 H_T と比較し、高低差 H_1 がしきい値を越えていれば、不適としてステップ27へ移る(ステップ26)。またCPU2は、近似直線 L_2' と近似直線 L_4 についても、高低差 $H_2 = W_2 \cdot \tan \theta_2 = |a_2 - a_4| \cdot W_2$ を求め同様の判定を行う。

【0033】ステップ23～ステップ26までの処理の目的は、1つの辺のリード列が他の辺のリード列に対して異常な位置関係にないかどうかを調べることにある。たとえば電子部品9が何らかの原因でねじれ等の変形を生じていると隣接するリード列間で過大な高低差(浮き)が生じ半田付けのときにオープン不良を生じてしまう。そこでこのリード列を近似直線として数式化し、この近似直線の相対的な位置関係が予め定めておいた範囲内(しきい値内)であるかを判定して電子部品9の形状を検査する。

【0034】なおステップ11で計算エラーを生じて近似直線の式が求められなかった場合は、算出できた他の近似直線のみを対象にステップ23～ステップ26の処理を行なう。

【0035】ステップ21からステップ26までの一連の処理において不適が1つでもあれば、CPU2は不良判定を行い(ステップ27)、不良箇所及びその諸元をCRT4に出力する(ステップ28)。また、不適が1つなければ、良と判定し(ステップ29)、判定結果をCRT4に出力する(ステップ28)。

【0036】本発明の一実施の形態の電子部品の検査方法は以上の通りであるが本発明は種々の応用が可能である。たとえば上述した電子部品の検査を電子部品9の半田付けを行なう工程の途中で行なってもよい。具体的に説明すると、図1に示す検査装置を電子部品を基板に搭載する電子部品の搭載装置として考える。移載ヘッド8の移動範囲内に、電極に予め半田が供給された基板を位置決めしておき(図示せず)移載ヘッド8で電子部品9を搭載する途中で電子部品の検査を前述した方法で行なう。そして良判定となった電子部品9は、このリード10を基板の電極に着地させ、不良判定となった電子部品は廃棄する。電子部品9が搭載された基板は加熱炉へ送られ、半田の融点以上の温度に加熱されることにより電

子部品9のリード10は基板の電極に半田付けされる。このように電子部品を搭載する直前にリードの浮きやリード列の位置に異常がないかを検査し、良判定とされた電子部品9だけを基板に搭載するのでオープン不良の発生を未然に防止できる。

【0037】

【発明の効果】本発明によれば、リードが延出する各辺についてリードの高さを近似した近似直線を求め、求めた各近似直線間の位置関係に基づいてリード形状の良否検査を行い、リードを基板の電極に確実に半田付けでき

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるリード検査方法を実施するための検査装置のブロック図

【図2】本発明の一実施の形態における電子部品とレーザセンサの拡大斜視図

【図3】本発明の一実施の形態における検査装置の動作フローチャート

【図4】本発明の一実施の形態におけるリード検査方法を示すフローチャート

【図5】本発明の一実施の形態における近似直線の説明図

【図6】本発明の一実施の形態におけるリードのデータの構成図

【図7】本発明の一実施の形態における近似直線データの構成図

*【図8】本発明の一実施の形態におけるリード浮きデータの構成図

【図9】本発明の一実施の形態における近似直線の位置関係を示す斜視図

【図10】本発明の一実施の形態における近似直線の端点のデータの構成図

【図11】本発明の一実施の形態におけるリード高さの差のデータの構成図

【図12】本発明の一実施の形態における対向する近似直線を示すグラフ

【図13】本発明の一実施の形態における対向する近似直線を示すグラフ

【符号の説明】

10 リード

L₁ 近似直線

L₂ 近似直線

L₃ 近似直線

L₄ 近似直線

R1 端点

R2 端点

R3 端点

R4 端点

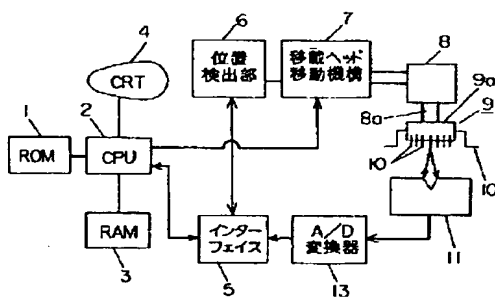
R5 端点

R6 端点

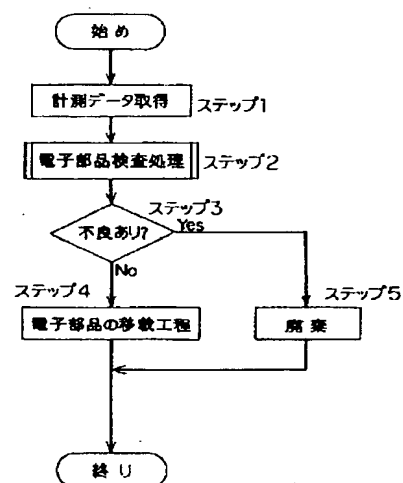
R7 端点

R8 端点

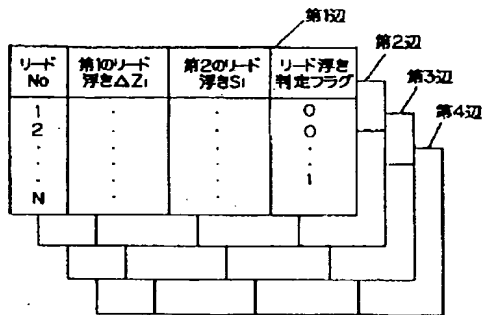
【図1】



【図3】



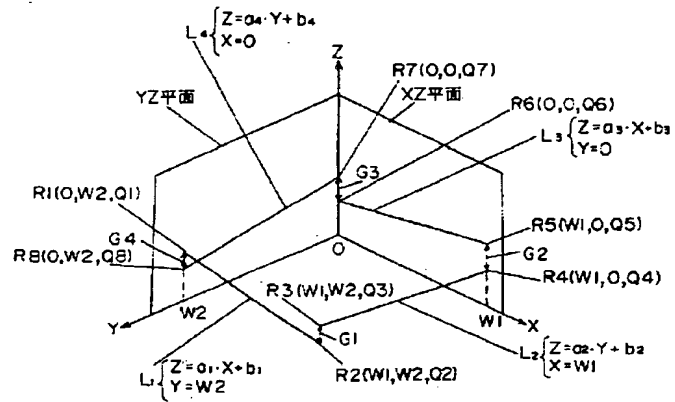
【図8】



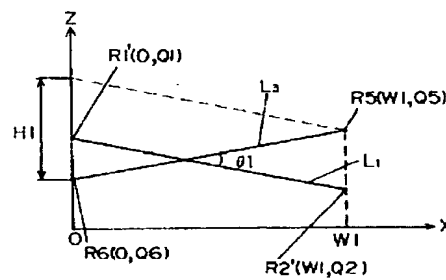
【図11】

ピンNo	Z座標 Z_i	リード高さの差 K_i	適否フラグ
1	Z_1	$ Z_2 - Z_1 $	0
2	Z_2	$ Z_3 - Z_2 $	0
...
N	.	.	1

【図9】



【図12】



【図13】

